

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

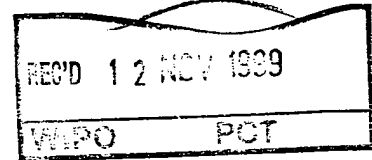
24.09.99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 9月25日



出 願 番 号
Application Number:

平成10年特許願第272126号

出 願 人
Applicant (s):

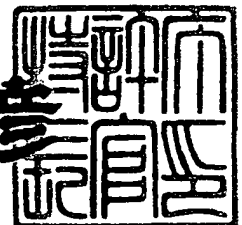
旭化成工業株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年10月29日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-307347C

出 願 人 履 歴 情 報

識別番号 [000000033]

1. 変更年月日 1990年 8月16日

[変更理由] 新規登録

住 所 大阪府大阪市北区堂島浜1丁目2番6号

氏 名 旭化成工業株式会社

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】 申請人
【識別番号】 000000033
【住所又は居所】 大阪府大阪市北区堂島浜1丁目2番6号
【氏名又は名称】 旭化成工業株式会社

【書類名】 要約書

【要約】

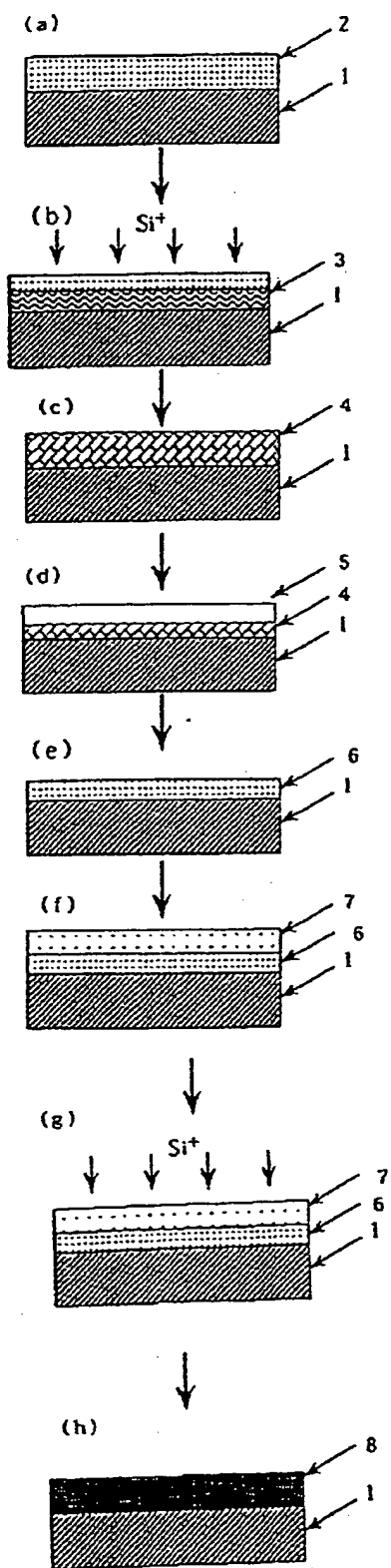
【解決手段】 単結晶酸化物基板や、シリコン基板上に堆積された酸化物層等の絶縁性の下地の上に、シリコン層をエピタキシャル成長したSOI基板を製造する場合に、絶縁性の下地の上にエピタキシャル成長した第1のシリコン層に、イオンを注入してシリコン層の深部をアモルファス化した後、アニール処理を行い再結晶化する。次に加熱処理して表面側の一部を酸化し、そのシリコン酸化物層をエッチング除去した後、残ったシリコン層をシード層として、第2のシリコン層をエピタキシャル成長し、再びイオンを注入して再結晶化を行う。

【効果】 シリコン層の結晶欠陥密度が極めて小さく、表面平坦性の良好なSOI基板を作製することができる。

【選択図】 選択図なし

【書類名】 図面

【図 1】



【書類名】 特許願

【整理番号】 X10-01072

【提出日】 平成10年 9月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/12

【発明の名称】 半導体基板の製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 静岡県富士市鮫島2番地の1 旭化成工業株式会社内

 【氏名】 森下 隆

【発明者】

 【住所又は居所】 静岡県富士市鮫島2番地の1 旭化成工業株式会社内

 【氏名】 松井 正宏

【特許出願人】

 【識別番号】 000000033

 【氏名又は名称】 旭化成工業株式会社

 【代表者】 山本 一元

【手数料の表示】

 【予納台帳番号】 011187

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板の製造方法

【特許請求の範囲】

【請求項1】 絶縁性の下地とその上のシリコン層からなる半導体基板の製造方法において、前記絶縁性の下地の上に第一のシリコン層を形成し、該第一のシリコン層に第一のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第一の熱処理により再結晶化し、その後、第二のシリコン層を形成し、該第二のシリコン層に第二のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第二の熱処理により再結晶化し、前記シリコン層を結晶改善することを特徴とする半導体基板の製造方法。

【請求項2】 請求項1記載の半導体基板の製造方法において、前記第一のシリコン層の形成をエピタキシャル成長で形成し、前記第一の熱処理により再結晶化されたシリコン層を酸化性雰囲気中で熱処理し表面の一部を酸化して酸化層を形成し、該酸化層を除去し、前記第二のシリコン層の形成をエピタキシャル成長で形成することを特徴とする半導体基板の製造方法。

【請求項3】 請求項1または請求項2記載の半導体基板の製造方法において、前記絶縁性の下地が単結晶酸化物基板であることを特徴とする半導体基板の製造方法。

【請求項4】 請求項1または請求項2記載の半導体基板の製造方法において、前記絶縁性の下地がサファイア基板であることを特徴とする半導体基板の製造方法。

【請求項5】 請求項1または請求項2記載の半導体基板の製造方法において、前記絶縁性の下地が基板としてのシリコン基板上に堆積された酸化物層もしくはフッ化物層であることを特徴とする半導体基板の製造方法。

【請求項6】 請求項5記載の半導体基板の製造方法において、前記酸化物やフッ化物が α - Al_2O_3 、 γ - Al_2O_3 、 θ - Al_2O_3 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 CeO_2 、 CaF_2 であることを特徴とする半導体基板の製造方法。

【請求項7】 請求項2記載の半導体基板の製造方法において、前記酸化性雰囲気の熱処理の温度が 900°C 以上 1300°C 以下であることを特徴とする半導

体基板の製造方法。

【請求項 8】 請求項 1 または請求項 2 記載の半導体基板の製造方法において、前記第二の熱処理により再結晶化した後、または前記第二のシリコン層をエピタキシャル成長した後に、水素中で加熱処理することを特徴とする半導体基板の製造方法。

【請求項 9】 請求項 1 乃至請求項 8 記載の半導体基板の製造方法において、前記第二の熱処理により再結晶化した後に、シリコン層の表面を平坦化することを特徴とする半導体基板の製造方法。

【請求項 10】 請求項 9 記載の半導体基板の製造方法において、前記シリコン層の表面を平坦化する方法が化学的機械的研磨処理であることを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリコン・オン・インシュレータ（SOI）やシリコン・オン・サファイア（SOS）等の半導体基板の製造方法に係り、転位や欠陥が少なく、表面平坦性の良好なシリコン層を有する半導体基板の製造方法に関するものである。

【0002】

【従来の技術】

従来より絶縁物上に単結晶シリコン半導体層を形成した構造を有する基板材料として SOI や SOS 等が知られている。これらの基板材料はデバイス作製に広く応用されており、以下のような点で通常のシリコン基板に比べて優れている。

- （1）寄生容量低減により高速性に優れている。
- （2）ソフトエラーに強い。
- （3）ラッチアップがない。
- （4）ウェル工程を省略できる。

【0003】

これらのデバイス特性上の利点を実現するために、SOI 基板の製造方法とし

て従来より次のようなものがある。

(1) 貼り合わせSOI基板：シリコン単結晶基板を、表面を熱酸化した別のシリコン単結晶基板に、熱処理又は接着剤を用いて貼り合わせた後、機械的研磨や化学エッチング等を用いて、片側シリコン層を均一に薄膜化する方法。

(2) SIMOX（セパレーション バイ イオン インプランテッドオキシド）基板：シリコン基板に酸素イオンをインプラした後、熱処理してシリコン基板中に、埋め込みSiO₂（酸化シリコン）層を作製する方法。

(3) 固相エピタキシャル成長基板：シリコン基板の表面を酸化した後、酸化膜の一部に窓をあけてシリコン基板を露出させ、その上に非晶質シリコンを成長する。次に、熱処理を施し、露出したシリコンと接する部分から出発して、非晶質シリコン層を横方向の固相エピタキシャル成長によって結晶化する方法。

(4) ヘテロエピタキシャル成長基板：絶縁性の酸化物基板或いはシリコン基板上に結晶性の酸化物やフッ化物の層を堆積した後、その上に単結晶シリコン層をCVD法等で成長する方法。

【0004】

しかしながら、これらの方法は一長一短があり、生産性、品質については依然問題をかかえている。例えば貼り合わせ基板では、シリコン基板自体を薄膜化する必要があり、シリコン基板を1 μ m以下まで精度よく、なおかつ均一にエッチング或いは研磨することは極めて困難である。

又、SIMOX基板は長い間研究されてきたが、シリコン基板中にSiO₂の埋め込み酸化膜を形成するためには、多量の酸素イオンを打ち込まなければならず、生産性やコストに問題があると共に、シリコン層中の結晶欠陥が多く、埋め込み酸化膜中にパイプと呼ばれる欠陥が存在するという問題もある。

【0005】

加えて、貼り合わせSOI基板やSIMOX基板では、その上に作製された素子（例えば電界効果トランジスタ）のスナップバック耐圧が低いという欠点があり、品質上の問題となっている。スナップバック耐圧とは、素子がFET（電界効果トランジスタ）の場合、FETとして動作する際に、ボディ部とドレイン部の接合部に発生するホットキャリアがボディ部に蓄積して、ドレイン部とボディ

部とソース部との間に流れるドレイン電流が急増して、耐圧が低下することを意味する。

【0006】

一方、SOI技術の前身としてSOS技術が知られている。SOSはこれまで主に耐放射線を必要とするデバイスに使われてきた。SOSは寄生容量が小さい等のSOIの特長に加えて、厚い絶縁層を有することから、基板を通じてのノイズが小さい等の特長を持つ。又、SOSではシリコン層とサファイア界面でのキャリアのライフタイムが短くなるために、FETが動作する際に、ボディ部とドレイン部の接合部に発生するホットキャリアは直ぐに再結合してボディ部に蓄積しにくい。従って、ドレイン部とボディ部とソース部の間に流れる電流が急増せず、耐圧が低下しない。即ち、スナップバック耐圧の高いことがSOSの大きな特長となっている。しかしながら、SOS基板は、シリコンをサファイア基板上にヘテロエピタキシャル成長させて作製するために、シリコン層とサファイア基板(α -Al₂O₃)との格子定数や熱膨張係数の違いにより、多数の結晶欠陥や大きな表面粗さの発生が問題となっていた。

【0007】

これを解決する手段としては、このシリコン層にさらにシリコンイオンをインプラしてシリコン層深部をアモルファス化した後、アニールにより再結晶化を行うことが知られている。(US5416043)しかしながら、この方法を用いてもバルクシリコンと比較すると依然欠陥密度は高い。

又、シリコン基板上に、酸化物層やフッ化物層等の中間層、さらにその上に単結晶シリコン層をエピタキシャル成長したSOI基板として、例えば中間層に γ -Al₂O₃を用いたものが知られている(特開平1-261300号)が、これらのSOI基板においても同様に、シリコン層と中間層の界面でのキャリアのライフタイムが短くなり、SOSと同等の高いスナップバック耐圧の得られることが期待されるが、やはり格子定数や熱膨張係数の違いに起因するシリコン層の結晶性の低下や表面粗さの増大が問題となっている。

【0008】

そのため、サファイア基板を用いるSOSや、シリコン基板上に堆積した酸化

物層やフッ化物層のような中間層を利用するSOIは、貼り合わせ基板やSIMOX基板と比較すると、シリコン層の結晶性や表面平坦性が悪く、フリッカノイズの原因となったり、ゲート酸化膜の耐圧低下やFETのリーク電流増加等、信頼性を悪化させている。

【0009】

シリコン層の表面平坦性を改善する手法としては、インシュレータ層がSiO₂である貼り合わせSOI基板を還元性雰囲気中で加熱処理するという方法が知られている（特開平5-217821号公報参考）。しかしながら、この方法によれば平坦性は向上するがシリコン層の下地がSiO₂であるためにスナップバック耐圧やESDの向上が見られなかった。デバイスの信頼性を考慮すればスナップバック耐圧やESDは高いほど好ましく、SOS基板やシリコン基板上に酸化物層やフッ化物層等の中間層、さらにその上に単結晶シリコン層をエピタキシャル成長したSOI基板においてシリコン層の結晶性や表面平坦性を改善し、これらに起因するデバイス性能を向上したりスナップバック耐圧やESDを高められれば、素子の性能や信頼性にとって極めて有用である。

【0010】

【発明が解決しようとする課題】

本発明は、従来のSOS基板、或いはシリコン基板上に酸化物層或いはフッ化物層等の中間層を堆積し、その上にシリコンをエピタキシャル成長させたSOI基板の問題点を解決し、結晶性が高く、表面平坦性の良い、高スナップバック耐圧を得ることのできるSOI基板等の半導体基板の製造方法を供給することを目的とする。

【0011】

【課題を解決するための手段】

かかる状況下において、本発明者らは、サファイア基板上にシリコン層を成長させてSOS基板を作製する場合、或いはシリコン基板上に中間層として酸化物層或いはフッ化物層を堆積し、その上にシリコン層を成長させてSOI基板を作製する場合等の半導体基板の製造方法において、シリコン層を成長させた後に、このシリコン層にシリコンイオンをインプラしてシリコン層深部をアモルファス

化した後、アニールにより再結晶化を行い結晶改善し、そして、その上に再度シリコン層をホモエピタキシャル成長することによって、欠陥の少ない、高結晶性のシリコン層が形成でき、さらに、このシリコン層にシリコンイオンをインプラしてシリコン層深部をアモルファス化した後、アニールにより再結晶化を行うことにより極めて欠陥の少ない高結晶性のシリコン層を形成できることを見だし本発明をなすに至った。また、最初の再結晶化を行った後、酸化性雰囲気で熱処理を行ってシリコン層の表面側の一部を酸化し、そのシリコン酸化物層をフッ酸等でエッチング除去すると、後に欠陥の少ない、高配向性のシリコン層が残ること、そして、このシリコン層をシード層として、その上に再度シリコン層をホモエピタキシャル成長することによって、欠陥の少ない、高結晶性のシリコン層を形成できることも見いだした。

【0012】

すなわち、

請求項1に係る半導体基板の製造方法は、絶縁性の下地とその上のシリコン層からなる半導体基板の製造方法において、前記絶縁性の下地の上に第一のシリコン層を形成し、該第一のシリコン層に第一のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第一の熱処理により再結晶化し、その後、第二のシリコン層を形成し、該第二のシリコン層に第二のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第二の熱処理により再結晶化し、前記シリコン層を結晶改善することを特徴とする。

【0013】

また、請求項2に係る半導体基板の製造方法は、請求項1記載の半導体基板の製造方法において、前記第一のシリコン層の形成をエピタキシャル成長で形成し、前記第一の熱処理により再結晶化されたシリコン層を酸化性雰囲気中熱処理し表面の一部を酸化して酸化層を形成し、該酸化層を除去し、前記第二のシリコン層の形成をエピタキシャル成長で形成することを特徴とする。

【0014】

また、請求項3に係る半導体基板の製造方法は、請求項1または請求項2記載の半導体基板の製造方法において、前記絶縁性の下地が単結晶酸化物基板である

ことを特徴とする。

また、請求項4に係る半導体基板の製造方法は、請求項1または請求項2記載の半導体基板の製造方法において、前記絶縁性の下地がサファイア基板であることを特徴とする。

【0015】

また、請求項5に係る半導体基板の製造方法は、請求項1または請求項2記載の半導体基板の製造方法において、前記絶縁性の下地が基板としてのシリコン基板上に堆積された酸化物層もしくはフッ化物層であることを特徴とする。

また、請求項6に係る半導体基板の製造方法は、請求項5記載の半導体基板の製造方法において、前記酸化物やフッ化物が、 α - Al_2O_3 、 γ - Al_2O_3 、 θ - Al_2O_3 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 CeO_2 、 CaF_2 であることを特徴とする。

【0016】

また、請求項7に係る半導体基板の製造方法は、請求項2記載の半導体基板の製造方法において、前記酸化性雰囲気中の熱処理の温度が900℃以上1300℃以下であることを特徴とする。

また、請求項8に係る半導体基板の製造方法は、請求項1または請求項2記載の半導体基板の製造方法において、前記第二の熱処理により再結晶化した後、または前記第二のシリコン層をエピタキシャル成長した後に、水素中で加熱処理することを特徴とする。

【0017】

また、請求項9に係る半導体基板の製造方法は、請求項1乃至請求項8記載の半導体基板の製造方法において、前記第二の熱処理により再結晶化した後に、シリコン層の表面を平坦化することを特徴とする。

また、請求項10に係る半導体基板の製造方法は、請求項9記載の半導体基板の製造方法において、前記シリコン層の表面を平坦化する方法が化学的研磨処理であることを特徴とする。

【0018】

【発明の実施の形態】

以下に本発明の詳細な説明をする。

本発明における絶縁性の下地としては、サファイア等の単結晶酸化物基板、或いは基板としてのシリコン基板上に堆積された α - Al_2O_3 、 γ - Al_2O_3 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 CeO_2 等の酸化物層もしくは CaF_2 等のフッ化物層が用いられる。尚、本発明において、シリコン基板上に酸化物層やフッ化物層を成長する方法については特に制限はなく、通常、減圧化学気相成長法（LPCVD法）、超高真空化学気相成長法（UHV-CVD法）、分子線エピタキシー法（MBE法）、スパッタリング法、レーザMBE法等が用いられる。

【0019】

図1は、本発明による具体的な半導体基板のSOS基板の作製手順を示したものである。

本発明においては、まずサファイア基板1の上に、第一のシリコン層2をエピタキシャル成長する(a)が、その成長方法としては、常圧化学気相法（APCVD法）、減圧化学気相法（LPCVD法）、超高真空化学気相法（UHV-CVD法）、分子線エピタキシー法（MBE法）、電子ビーム（EB）蒸着法等が用いられる。特にエピタキシャル成長法が好ましい。この際、第一のシリコン層の厚さについては特に制限はないが、例えば0.03 μm から1 μm の範囲が実用的である。

【0020】

第一のシリコン層2をエピタキシャル成長した後に、第一のイオン注入としてシリコンイオンを注入して、その深部3をアモルファス化し(b)、第一の熱処理としてアニール処理を行って表層より再結晶化したシリコン層4を形成する(c)。シリコンイオン注入条件はシリコン層の膜厚により変わるが、絶縁層との界面からシリコン層の80%程度がアモルファス化する条件でインプラすることが好ましい。再結晶化の際のアニールは500℃から1000℃の範囲で窒素雰囲気あるいは酸素性雰囲気あるいは窒素雰囲気で熱処理した後、酸素性雰囲気で熱処理する工程が好ましい。次に、再結晶化したシリコン層4を酸化性雰囲気中で熱処理して、表面にシリコン酸化物層5を形成する(d)が、この熱処理によって原子の再配列がおこり、エピタキシャル成長後の第一のシリコン層中に多

数生成していた、界面の格子不整合に起因する転位や積層欠陥が低減したり、配向性の異なる部分が消失する。

【0021】

本発明において、酸化性雰囲気中での熱処理の温度は、700℃以上1350℃以下であり、好ましくは800℃以上1300℃以下である。温度が低すぎると原子の再配列の効果が小さくなり、一方温度が高すぎると、下地の構成元素がシリコン層に拡散侵入する等の問題がある。又、熱処理の雰囲気については、酸化性雰囲気であれば特に制限はなく、O₂、O₂ + H₂、H₂O、N₂O等の酸化性ガス、或いはこれらの酸化性ガスをN₂、Ar等の不活性ガスで希釈したガスの雰囲気が用いられる。

【0022】

次に、シリコン酸化物層5を、弗酸やバッファード弗酸(BHF)等によりエッチングし除去する(e)。

その後、残ったシリコン層6をシード層として、その上に再度、第二のシリコン層7をホモエピタキシャル成長する(f)。この際の成長法としては、第一のシリコン層と同様、APCVD法、LPCVD法、UHV-CVD法、MBE法、EB蒸着法等が用いられるが、第一のシリコン層と同じ方法である必要はない。この堆積は、シリコン単結晶基板上にシリコン層を堆積させるホモエピタキシャル成長と同じであり、格子定数の違いによる影響を受けない。それに加えて成長温度を下げるができるという効果もあり、従来のヘテロエピタキシャル成長によるシリコン層と比較して、結晶性や表面平坦性が改善される。本発明において、第二のシリコン層7をホモエピタキシャル成長するためのシード層7の厚さについては特に制限はないが、好ましくは、5nm以上1μm以下である。

【0023】

次に、第二のシリコン層7に再度、第二のイオン注入としてシリコンイオンを注入して(g)、その深部をアモルファス化し、第二の熱処理としてアニール処理を行って表層より再結晶化したシリコン層8を形成する(h)。本発明においてシリコン層をアモルファス化した後、第二の熱処理により再結晶化する際にはシリコン層表面から絶縁層との界面方向に再結晶化が進むため、表面シリコン層

の結晶性が良いほど再結晶化したシリコン層の結晶性は高くなる。酸化性雰囲気中で熱処理することにより形成したシード層上にエピタキシャル成長した第二のシリコン層は第一のエピタキシャルシリコン層よりも結晶性が高いため、第二のシリコン層をアモルファス化した後再結晶化することによりより結晶性の高いシリコン層が形成できる。

【0024】

本発明において第一のシリコン層 2、或いは上記の再結晶化したシリコン 8 に対して、水素雰囲気中での加熱処理を行うと、シリコン原子が表面をマイグレーションして結晶の再配列化がおこり、結晶欠陥の低減や表面平坦性の向上が達成されるのでさらに好ましい。この際の水素雰囲気中での加熱処理の温度は、低すぎるとシリコン原子の表面マイグレーションが十分に起こらないし、高すぎると、下地の構成元素（例えばサファイアの場合は Al）が、多量にシリコン層へ拡散侵入して、シリコン層の結晶性を低下させたり、キャリア密度を変えたりする等の影響を及ぼすことから、800℃以上1300℃以下であり、好ましくは900℃以上1200℃以下である。

【0025】

又、第二の熱処理のアニール処理をして再結晶化した後、シリコン層の表面を平坦化する処理を施すと、デバイスの性能や信頼性にとってよい効果をもたらすので好ましい。この際、平坦化処理の方法としては、前述と同様の水素雰囲気中での加熱処理や、化学的機械的研磨（ケミカル メカニカル ポリッシュ）処理が好ましい。

【0026】

本発明により作製した半導体基板のサファイア等単結晶酸化物基板や、基板としてのシリコン基板上に堆積された α -Al₂O₃、 γ -Al₂O₃、MgO・Al₂O₃、CeO₂ 等の酸化物層もしくは CaF₂ 等のフッ化物層を絶縁性の下地とする SOI 基板は、I₂、KI、HF、メタノール、水を混合したエッチング液に浸漬してピットを形成した後、走査型電子顕微鏡（SEM）を用いて単位面積当たりのピット数を測定するという方法によりシリコン層の結晶欠陥密度を求めると、108個/cm² 以下の値が得られる。

【0027】

本発明によれば、サファイア等の単結晶酸化物基板、基板としてのシリコン基板上に堆積された α - Al_2O_3 、 γ - Al_2O_3 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 CeO_2 等の酸化物層もしくは CaF_2 等のフッ化物層の上に、結晶欠陥の極めて少ない、しかも表面平坦性の良好なシリコン層を作製することができるので、このSOI基板上には優れた性能を有する素子を形成できる。例えば、MOSFETにおけるフリッカノイズは、移動キャリアが、シリコン層中の結晶欠陥で散乱された時の移動度の揺らぎや、表面粗さを持ったシリコン層とその上に形成されたゲート酸化膜の界面に生成するトラップを介して、移動キャリアが捕獲と脱離の過程を経ること等が要因と言われており、シリコン層の結晶欠陥や表面粗さが低減されることにより、低フリッカノイズを達成することができる。

【0028】

【実施例1】

R面サファイア基板上に、モノシラン(SiH_4)ガスを原料とするLPCVD法により、成長温度 950°C にて、厚さ 280nm の第一のシリコン層を堆積した。

この第一のシリコン層に、第一のイオン注入として基板温度を 0°C に保ちながら、エネルギー 190keV のシリコンイオンを $1 \times 10^{16}/\text{cm}^2$ 注入し、サファイアとの界面側をアモルファス化した後、第一の熱処理として窒素ガス雰囲気下、温度 550°C で1時間、続いて酸化性雰囲気中で温度 900°C で1時間の加熱処理を行い、シリコン層を再結晶化した。次にこれを酸化炉に導入し、 1000°C において、水素 $180\text{リットル}/\text{min}$ 、酸素 $180\text{リットル}/\text{min}$ を導入しながら 30min 水蒸気酸化を行った。

【0029】

続いてこれを BHF 中に浸漬して酸化膜を除去した。酸化膜を除去したのちシリコン層の膜厚は 100nm であった。

次にジシラン(Si_2H_6)を原料とするUHV-CVD法により成長温度 750°C にて、第二のシリコン層を堆積した。ここで、シリコン層の総膜厚を測定したところ 280nm であった。この第二のシリコン層に、第二のイオン注入と

して再度、基板温度を0℃に保ちながら、エネルギー190keVのシリコンイオンを $1 \times 10^{16} / \text{cm}^2$ 注入し、サファイアとの界面側をアモルファス化した後、第二の熱処理として窒素ガス雰囲気下、温度550℃で1時間、続いて温度900℃で1時間の加熱処理を行い、シリコン層を再結晶化した。最終的なシリコン層の膜厚は280nmであった。

【0030】

作製した半導体基板としてのSOS基板の結晶性を評価するために、基板を下記の手順で処理してエッチピットを形成した後、走査型電子顕微鏡（SEM）を用いて単位面積当たりのピット数を測定し、結晶欠陥密度を求めた。

- (1) 基板をメタノール中で超音波洗浄する。
- (2) 2%HF水溶液を用いて表面の自然酸化膜を除去する。
- (3) 純水でオーバーフローする。
- (4) I 24 g + KI 12 g + メタノール 40 cc + H₂O 40 cc + HF 3 cc の割合で混合したエッチング液に基板を45秒間侵漬する。
- (5) 純水でオーバーフロー後、(2) (3) を繰り返す。

その結果、欠陥密度は 5.0×10^6 個/ cm^2 であった。

【0031】

【比較例1】

実施例1と同様にして、R面サファイア基板上に、モノシラン（SiH₄）ガスを原料とするLPCVD法により、成長温度950℃にて、厚さ280nmの第一のシリコン層を堆積した。

このシリコン層に、基板温度を0℃に保ちながら、エネルギー190KeVのシリコンイオンを $1 \times 10^{16} / \text{cm}^2$ 注入し、サファイアとの界面側をアモルファス化した後、第一の熱処理として窒素ガス雰囲気下、温度550℃で1時間、続いて酸化性雰囲気中で温度900℃で1時間の加熱処理を行い、シリコン層を再結晶化し、SOS基板を作製した。

これを実施例1と同様の方法にて欠陥密度を測定したところ、 1.5×10^9 個/ cm^2 であった。

【0032】

【実施例 2】

第一のシリコン層を形成後、これを圧力 80 Torr の水素ガス雰囲気中、1100℃で30分の加熱処理を行うこと以外実施例 1 と同様にして SOS 基板を作製した。

これを実施例 1 と同様の方法にて欠陥密度を測定したところ、 3.2×10^6 個/cm² であった。

【0033】

【実施例 3】

基板としてシリコン (100) 基板上に、トリメチルアルミニウム、酸素を原料とする UHV-CVD 法を用いて、基板温度 880℃にて γ -Al₂O₃ を堆積した基板を用いること以外実施例 1 と同様にして SOS を作製した。

これを実施例 1 と同様の方法にて欠陥密度を測定したところ、 3.4×10^8 個/cm² であった。

【0034】

【比較例 2】

実施例 3 と同様に、シリコン (100) 基板上に、トリメチルアルミニウム、酸素を原料とする UHV-CVD 法を用いて、基板温度 880℃にて γ -Al₂O₃ を堆積した。この γ -Al₂O₃ 層上に、ジシラン (Si₂H₆) ガスを原料とする UHV-CVD 法により、成長温度 950℃にて、厚さ 280 nm の第一のシリコン層を堆積した。

【0035】

このシリコン層に、基板温度を 0℃に保ちながら、エネルギー 190 KeV のシリコンイオンを 1×10^{16} /cm² 注入し、サファイアとの界面側をアモルファス化した後、第一の熱処理として窒素ガス雰囲気下、温度 550℃で1時間、続いて酸化性雰囲気中で温度 900℃で1時間の加熱処理を行い、シリコン層を再結晶化し、SOS 基板を作製した。

これを実施例 1 と同様の方法にて欠陥密度を測定したところ、 1.5×10^9 個/cm² であった。

【0036】

【発明の効果】

本発明によれば、サファイア等の単結晶酸化物基板、或いは基板としてのシリコン基板上に堆積された α -Al₂O₃、 γ -Al₂O₃、MgO・Al₂O₃、CeO₂等の酸化物層もしくはCaF₂等のフッ化物層の上に、結晶欠陥が極めて少なく、表面平坦性も良好なシリコン層を形成できる。そのため、本発明によるSOI基板上には、従来のSOS基板等で問題とされていた、フリッカノイズ等のデバイス性能や信頼性の向上したデバイスを作製することが可能になる。

【図面の簡単な説明】

【図1】

本発明による半導体基板としてのSOS基板の作製手順。

【符号の説明】

- 1 サファイア基板
- 2 第一のシリコン層
- 3 シリコンイオン注入によりアモルファス化した層
- 4 再結晶化したシリコン層
- 5 シリコン酸化物層
- 6 シリコンシード層
- 7 第二のシリコン層
- 8 再結晶化したシリコン層